

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000232105 A**

(43) Date of publication of application: **22.08.00**

(51) Int. Cl. **H01L 21/3205**
H01L 21/28

(21) Application number: **11032822**

(71) Applicant: **SANYO ELECTRIC CO LTD**

(22) Date of filing: **10.02.99**

(72) Inventor: **KITAGAWA KATSUHIKO**

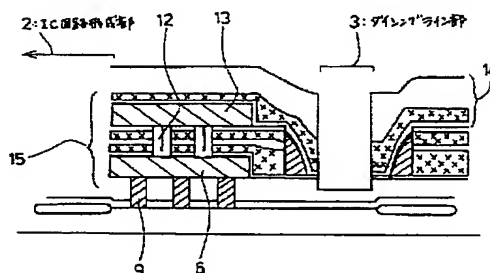
(54) **SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent the reduction of accuracy in photolithography by forming a first recessed part in a second insulation film, forming a third insulation film over an IC circuit formation part to the first recess of a dicing line part, and dicing in a state such that the side wall of the first recess is covered with the third insulation film.

SOLUTION: An IC circuit formation part 2 is formed like a matrix on a semiconductor wafer, and a dicing line part 3 is formed as to surround it. A sealing ring 15 is provided between the IC formation part 2 and dicing line part 3. A first opening is made in a first insulation film and a tungsten 9 is buried therein, and a first metal electrode 6 is also provided therein. In addition, a second insulation film is provided to cover the IC formation part 2 to dicing line part 3, and a second opening is formed therein. Further, a first recess is formed in the dicing line part 3. Finally, a third insulation film 14 is formed over the IC formation part 2 to dicing line part 3.



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-232105

(P2000-232105A)

(43) 公開日 平成12年8月22日 (2000. 8. 22)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 21/3205		H 0 1 L 21/88	S 4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 R 5 F 0 3 3
		21/88	R

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平11-32822

(22) 出願日 平成11年2月10日 (1999. 2. 10)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 北川 勝彦

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

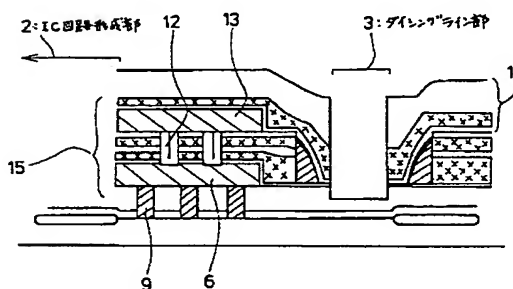
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ウェハや半導体チップの歪みを取り除くと共に、シールリングのより高機能化を実現する。

【解決手段】 シールリング15は、タングステンブラグ9、12とメタル電極6、13で構成し、第2の開口部11を形成する際に第1の凹み部32に、Wから成るスペーサを形成する。これにより二重のシールリングが実現できると共にウェハ歪みを取り除かれる。



【特許請求の範囲】

【請求項 1】 半導体基板上に形成された IC 回路形成部と、
 前記 IC 回路形成部を囲んで形成されたダイシングライン部と、
 前記 IC 回路形成部から前記ダイシングライン部に渡り形成された第 1 の絶縁膜と、
 前記ダイシングライン部と前記 IC 回路形成部間に対応する半導体基板がリング状に露出した複数の第 1 の開口部と、
 前記第 1 の開口部に埋め込まれた第 1 のタングステンプラグと、
 前記第 1 のタングステンプラグとコンタクトしリング状に形成された第 1 のメタル電極と、
 前記 IC 回路形成部から前記ダイシングライン部に渡り形成された第 2 の絶縁膜と、
 前記第 1 のメタル電極の外側を囲み、前記ダイシングライン部に対応する第 2 の絶縁膜が取り除かれた第 1 の凹み部と、
 前記第 1 のメタル電極がリング状に露出した複数の第 2 の開口部と、
 前記第 2 の開口部に埋め込まれた第 2 のタングステンプラグと、
 前記第 2 のタングステンプラグとコンタクトしリング状に形成された第 2 のメタル電極と、
 前記 IC 回路形成部から前記ダイシングライン部の第 1 の凹み部に渡り形成された第 3 の絶縁膜と、
 前記第 1 の凹み部の側壁を前記第 3 の絶縁膜が覆った状態でダイシングされたダイシング部とを有することを特徴とする半導体装置。
 【請求項 2】 半導体基板上に形成された IC 回路形成部と、
 前記 IC 回路形成部を囲んで形成されたダイシングライン部と、
 前記 IC 回路形成部から前記ダイシングライン部に渡り形成された第 1 の絶縁膜と、
 前記ダイシングライン部と前記 IC 回路形成部間に対応する半導体基板がリング状に露出した複数の第 1 の開口部と、
 前記第 1 の開口部に埋め込まれた第 1 のタングステンプラグと、
 前記第 1 のタングステンプラグとコンタクトしリング状に形成された第 1 のメタル電極と、
 前記 IC 回路形成部から前記ダイシングライン部に渡り形成された第 2 の絶縁膜と、
 前記第 1 のメタル電極の外側を囲み、前記ダイシングライン部に対応する第 2 の絶縁膜が取り除かれた第 1 の凹み部と、
 前記第 1 のメタル電極がリング状に露出した複数の第 2 の開口部と、

前記第 2 の開口部に埋め込まれた第 2 のタングステンプラグと、
 前記第 2 のタングステンプラグと同一材料が前記第 1 の側壁を覆った被覆部と、前記第 2 のタングステンプラグとコンタクトしリング状に形成された第 2 のメタル電極と、
 前記 IC 回路形成部から前記ダイシングライン部の第 1 の凹み部に渡り形成された第 3 の絶縁膜と、
 前記第 1 の凹み部の側壁を前記被覆部と前記第 3 の絶縁膜が覆った状態でダイシングされたダイシング部とを有することを特徴とする半導体装置。
 【請求項 3】 前記第 1 の凹み部の側壁には、TEOS 膜と SOG 膜が複数回繰り返して積層され、これらの界面が露出されて成る請求項 1 または請求項 2 に記載の半導体装置。
 【請求項 4】 IC 回路形成部と前記 IC 回路形成部を囲んで形成されたダイシングライン部とを有する半導体基板を用意し、
 前記 IC 回路形成部から前記ダイシングライン部に渡り第 1 の絶縁膜を被覆し、
 前記ダイシングライン部と前記 IC 回路形成部間に対応する半導体基板がリング状に露出した複数の第 1 の開口部を形成し、
 前記第 1 の開口部にタングステンを埋め込み、
 前記第 1 の開口部に埋め込まれたタングステンとコンタクトし、且つ前記第 1 の開口部全域をカバーするように第 1 のメタル電極を形成し、
 前記 IC 回路形成部から前記ダイシングライン部に渡り第 2 の絶縁膜を被覆し、
 前記第 1 のメタル電極がリング状に露出した複数の第 2 の開口部と、前記第 2 の開口部の外側がリング状に露出されて形成された第 1 の凹み部とを形成し、
 前記第 2 の開口部は、タングステンを埋め込み、同時に前記第 1 の凹み部の側壁に被覆部を形成する事を特徴とした半導体装置の製造方法。
 【発明の詳細な説明】
 【0001】
 【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特にダイシングライン部と近接して形成されるシールリングの構造およびその製造方法に関するものである。
 【0002】
 【従来の技術】半導体装置は、周知事項ではあるが、ウェハの状態下で次々と素子が作り込まれ、所定の機能を有した IC 回路が形成される。平面的には、この IC 回路が形成された IC 回路形成部がマトリックス状に配置され、この IC 回路形成部を囲み格子状にダイシングライン部が設けられ、このダイシングライン部に沿ってダイシングされ、個々の半導体装置（半導体チップ）に分離形成される。

【0003】しかしこのダイシングラインの側壁は、前記半導体装置で積層された数々の絶縁膜の界面が露出されている。この界面は、湿気の浸入路となり、前記IC回路の誤動作、更には破壊を引き起こす問題があった。

【0004】そのため、ダイシングライン部の内側を全周に渡り囲んだシールリング（または耐湿リングと呼ばれる。）が開発されている。

【0005】この構造は、例えば特開平2-188942号公報に詳述されている。

【0006】簡単に説明する。先ず図5に於いて、前述した様に、半導体ウェハ1にはマトリックス状にIC回路形成部2が形成され、このIC回路形成部を囲むようにダイシングライン部3が形成されている。そしてIC回路形成部2とダイシングライン部3との間には、IC回路形成部2を囲むようにシールリングが設けられている。

【0007】符号4、5は、第1層目のメタル電極（IC回路形成部では第1のメタル配線となる。）6の下層に形成される第1の絶縁膜7であり、ここには、半導体基板1が露出する複数の第1の開口部8が形成され、タングステン9が埋め込まれている。この第1の開口部8は、リング状に3本で形成され、このタングステンプラグ9を全て覆うように第1のメタル電極6がリング状に設けられている。

【0008】そしてIC回路形成部2からダイシングライン部3に渡り、第2の絶縁膜10が被覆され、第1のメタル電極6を露出する第2の開口部11が形成される。（以上図5参照）

続いて、第2の開口部11には、タングステン12が埋め込まれ、このタングステンプラグ12とコンタクトした第2のメタル電極13が形成される。（以上図6参照）

更に、IC回路形成部2からダイシングライン部3に渡り第3の絶縁膜14が形成され、その後、ダイシングライン部3に沿ってダイシングされる。（以上図7、図8参照）

以上、タングステンプラグ9、第1のメタル電極6、タングステンプラグ12および第2のメタル電極13で構成されるシールリング15は、ダイシングラインの内側で且つIC回路形成部2を囲んで形成される。またこれらの構成要素は、IC回路形成部2に形成される第1層目のメタル配線、第2層目のメタル配線、これらをコンタクトさせるためのタングステンプラグと同時に形成され工程の簡略化も図られている。

【0009】

【発明が解決しようとする課題】しかしながら、メタル配線を一層、二層、三層…と形成してゆくと、このメタル配線の間に形成される絶縁膜10、14も厚く形成され、ウェハの反りが発生する問題があった。

【0010】従って、ホトリソグラフィの際、露光・現

像の繰返しをしてゆくが、このウェハの反りにより、ホトリソグラフィ精度が低下する問題があった。

【0011】また封止樹脂も近年薄くなる傾向にあり、より耐湿機能の優れたものが要求されている。

【0012】

【課題を解決するための手段】本発明は前述の課題に鑑みてなされ、先ず第1に、ダイシングライン部に対応する第2の絶縁膜に第1の凹み部を設け、IC回路形成部から前記ダイシングライン部の第1の凹み部に渡り第3の絶縁膜を形成し、前記第1の凹み部の側壁を前記第3の絶縁膜が覆った状態でダイシングすることで解決するものである。

【0013】第1の凹み部は、第2の絶縁膜を取り除いた領域で、且つIC回路形成部の外周を取り囲んで前記第2の絶縁膜が取り除かれている。従って第2の絶縁膜が取り除かれている分、ウェハに発生する応力が軽減され、ウェハの反りを抑制できる。

【0014】第2に、第2のタングステンプラグと同一材料が、前記第1の凹み部の側壁を覆う被覆部として設けられることで、この側壁に露出する界面をタングステンで覆える。そのためウェハの反りを抑えつつ、湿気の浸入箇所である界面のシールが実現できる。

【0015】第3に、第1の凹み部の側壁には、TEOS膜とSOG膜が複数回繰返して積層され、これらの界面が露出されて成ることで解決するものである。

【0016】更には、第1のメタル電極がリング状に露出した複数の第2の開口部と、前記第2の開口部の外側がリング状に露出されて形成された第1の凹み部とを形成し、前記第2の開口部は、タングステンを埋め込み、同時に前記第1の凹み部の側壁に被覆部を形成する事で解決するものである。

【0017】第1の凹み部は、第2の開口部と同時に形成でき、しかも被覆部は、タングステンの埋め込みの際にエッチバックすることで、スペーサとして実現できる。従って別途工程を付加することなく簡単に実現できる。

【0018】

【発明の実施の形態】以下、本発明の一実施の形態について説明する。本実施例は、以下MOS型で説明するが、BIP型、Bi-CMOS型でも実現可能である。また図5～図8で開示された符号を用い、異なる部分のみ別の符号で記す。

【0019】符号30、31は、LOCOS膜であり、IC回路形成部2に形成されるトランジスタ（Nチャンネル型、Pチャンネル型トランジスタ）のLOCOS分離の工程と同時に形成される。

【0020】また前述した様に、半導体ウェハ1にはマトリックス状にIC回路形成部2が形成され、このIC回路形成部を囲むようにダイシングライン部3が形成される。そしてIC回路形成部2とダイシングライン部3

との間には、IC回路形成部2を囲むようにシールリング15が設けられている。

【0021】符号4、5は、第1層目のメタル電極（IC回路形成部では第1のメタル配線となる。）6の下層に形成される第1の絶縁膜7である。この第1の絶縁膜7は、表面にゲート絶縁膜が形成された上に積層され、BPSG膜4が約2000～4000Å、その上にTEOS膜5が約7000～10000Å程度で積層されている。

【0022】この第1の絶縁膜7には、半導体基板1が露出する複数の第1の開口部8が形成され、ここにはタングステン9が埋め込まれている。この第1の開口部8は、リング状に3本で形成され、このタングステンラグ9を全て覆うように第1のメタル電極6が設けられている。

【0023】詳しくは、この開口部も含めて全面にバリアメタルとなる金属がTi、TiNの順で積層されている。Tiが約300～500Å、TiNが約1000～2000Åで被覆され、更に全面にWが約5000～8000Å被覆されている。そしてこのWがエッチバックされてタングステンラグ9が形成されると共に、第1のメタル電極6領域以外の余分な前記バリアメタルが取り除かれる。

【0024】また第1のメタル電極6は、下からTiNが500～1000Å、Tiが100～300Å、AlCuが約3000～5000Å程度が積層されて形成され、図のようなパターンにエッチングされて形成される。第1のタングステンラグ9は、IC回路形成部2を囲むリングとして3本形成され、これを全て覆う一本の幅広のリングとして第1のメタル電極6が形成されている。

【0025】ここで第1のタングステンラグ9は、同一の構成でIC回路形成部2にも形成され前記トランジスタのソース領域やドレイン領域とコンタクトし、また第1のメタル電極もIC回路形成部に配線として形成され、IC回路形成部に形成されたタングステンラグと電気的にコンタクトしている。

【0026】そしてIC回路形成部2からダイシングライン部3に渡り、第2の絶縁膜10が被覆され、第1のメタル電極6を露出する第2の開口部11が形成される。またダイシングライン部3には第1の凹み部32が形成される。

【0027】ここで第2の絶縁膜10は、下から約2000ÅのプラズマTEOS膜、約2000ÅのSOG膜、約500～1000ÅのプラズマTEOS膜、約2000ÅのSOG膜および約2000～3000ÅのプラズマTEOS膜が積層されている。また第2の開口部11の形成と同時に第1の凹み部32も形成しているが、別工程でエッチングしても良い。また深さは、第2の絶縁膜10の途中でも良いし、第1の絶縁膜7が途中

まで取り除かれる深さでも良い。（以上図1参照）

本工程は、本発明の特徴となる点であり、IC回路形成部2の周りにある絶縁膜を取り除くことでウェハに発生する歪みを取り除くことができ、ウェハの反りを防止できる。

【0028】続いて、第2の開口部11には、タングステン33が埋め込まれる。ここでは、まず第2の開口部11も含め全面に、下から約300～500ÅのTi、約1000～2000ÅのTiNから成るバリアメタル33がスパッタリングで形成され、この上に約5000～8000ÅのWが例えばCVD法により被覆される。（以上図2参照）

続いて、前記W33をエッチバックして、第1の凹み部32にタングステンから成る被覆部34を形成する。この被覆部34は、具体的にはスペーサと呼ばれるものである。

【0029】この被覆部34は、本発明のポイントであり、第1の凹み部32の側壁35に露出する界面をカバーし、湿気の浸入を防止するシールリングとなる。

【0030】つまりIC回路形成部2を先ずタングステンラグから構成されるシールリング15でシールし、その外側をWから成るスペーサ34でシールし、二重のシール構造が実現できる。

【0031】そしてタングステンラグ12を被覆し、やはりリング状となる第2のメタル電極13が形成される。このメタル電極13は、下層に約200～300ÅのTiNが上層に約6000～8000ÅのAlCuが積層され、リング状にエッチングされる。（以上図3参照）

最後に、IC回路形成部2からダイシングライン部3に渡り第3の絶縁膜14が形成され、その後、ダイシングライン部3に沿ってダイシングされる。

【0032】ここで第3の絶縁膜14は、下から約1000～3000ÅのSi3N4膜、約2000ÅのSOG膜、約500～1000ÅのTEOS膜、約2000Åのスピノンで形成されたSOG膜、および約8000～10000ÅのSi3N4膜が積層されて構成されている。

【0033】当然これらの第3の絶縁膜14は、第1の凹み部32の被覆部34も覆う。ダイシングライン部3のダイシング溝の側壁は、第3の絶縁膜14の積層物から成る界面が露出している。（以上図4参照）

以上、タングステンラグ9、第1のメタル電極6、タングステンラグ12および第2のメタル電極13で構成されるシールリング15は、ダイシングラインの内側で且つIC回路形成部2を囲んで形成される。またこれらの構成要素は、IC回路形成部2に形成される第1層目のメタル配線、第2層目のメタル配線、これらをコンタクトさせるためのタングステンラグと同時に形成され工程の簡略化も図られている。

[0 0 3 4]

【発明の効果】以上の説明から明らかなように、先ず第1に、第1の凹み部は、第2の絶縁膜が取り除かれた領域で、且つIC回路形成部の外周を取り囲んで前記第2の絶縁膜が取り除かれている。従って第2の絶縁膜が取り除かれている分、ウェハに発生する応力が軽減され、ウェハの反りを抑制できる。従って、反りにより発生するホトリソグラフィ工程の精度を向上させることができる。また微少ではあるが、チップへの歪み発生も抑制できる。

【００３５】第２に、第２のタングステンプラグと同一材料が前記第１の凹み部の側壁を覆う被覆部を設けることで、この側壁に露出する界面をタングステンで覆える。そのため湿気の浸入箇所である界面のシールが実現できる。

【0036】第3に、第1の凹み部の側壁には、TEOS膜膜とSOG膜が複数回繰返して積層され、これらの界面が露出されているが、これら全ての界面がスペースで被覆でき、湿気の進入経路をふさぐことができる。

【0037】更には、第1の凹み部は、第2の開口部と同時に形成でき、しかも被覆部は、タングステン^{*}の埋め*

* 込みの際にエッチバックすることで、スペースとして実現できる。従って別途工程を付加することなく簡単に実現できる。従ってコストメリットがある。

【図面の簡単な説明】

【図 1】本発明の半導体装置の製造方法を示す断面図である。

【図２】本発明の半導体装置の製造方法を示す断面図である。

【図3】本発明の半導体装置の製造方法を示す断面図である。

【図４】本発明の半導体装置の製造方法を示す断面図である。

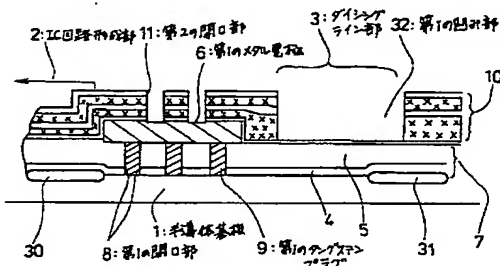
【図５】従来の半導体装置の製造方法を示す断面図である。

【図6】従来の半導体装置の製造方法を示す断面図である。

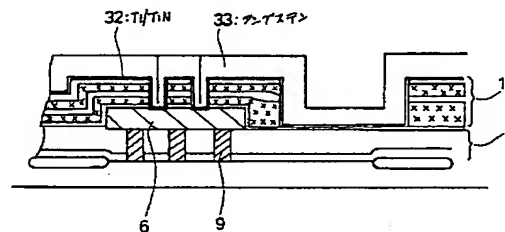
【図 7】従来の半導体装置の製造方法を示す断面図である。

【図 8】従来の半導体装置の製造方法を示す断面図である。

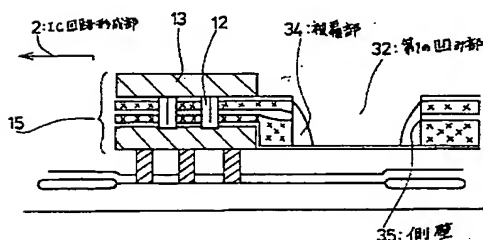
【圖 1】



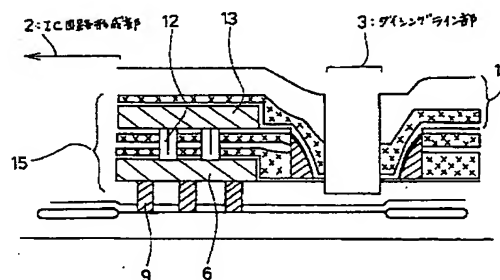
【图2】



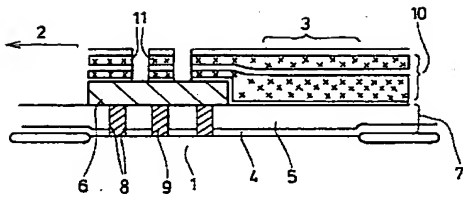
【図3】



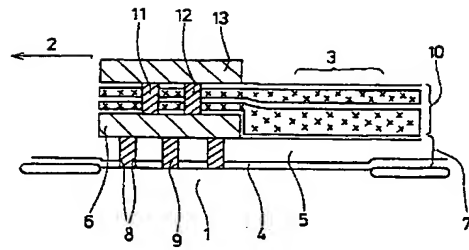
【図4】



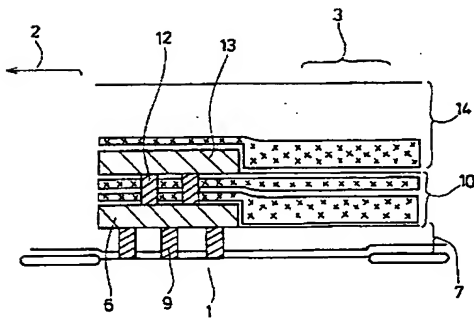
【図5】



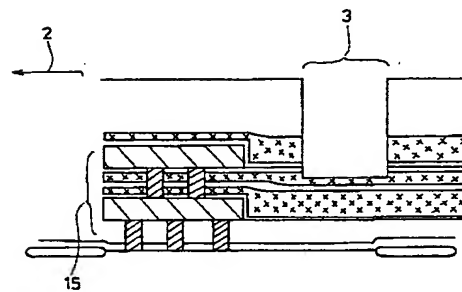
【図6】



【図7】



【図8】



フロントページの続き

Fターム(参考) 4M104 BB02 BB14 BB18 BB30 DD04
 DD17 DD19 DD37 DD63 DD66
 DD74 EE12 FF17 FF18 FF22
 GG13 HH20
 5F033 HH09 HH18 HH33 JJ18 JJ19
 JJ33 KK09 KK18 KK33 MM05
 MM08 MM13 MM15 NN06 NN07
 PP15